

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-120503

(43)Date of publication of application : 28.04.1994

(51)Int.CI.

H01L 29/784

H01L 29/40

H01L 29/62

(21)Application number : 04-267076

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 06.10.1992

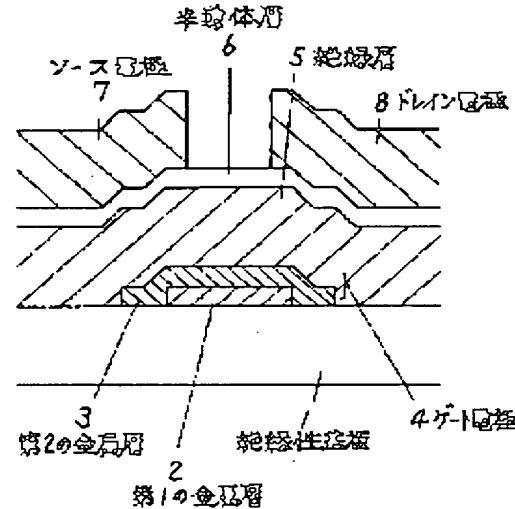
(72)Inventor : TAMURA TATSUHIKO
IWASAKI KATSUO
KAWAMURA TOSHIO
KOSEKI HIDEO

(54) THIN FILM TRANSISTOR AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PURPOSE: To manufacture the thin film transistor in high yield having excellent reliability in relatively simple constitution in relation to the structure of the thin film transistor using Al for a gate electrode applied to a liquid crystal display.

CONSTITUTION: In relation to the structure of the gate electrode of the TFT, the first metallic layer 2 comprising Al is formed to be completely covered with the second metallic layer 3 having higher melting point than that of Al. Through these procedures, any deformation such as a hillock of Al due to the heat treatment in the manufacturing step of the TFT can be completely suppressed so that the defective interlayer insulation resultant from the deterioration in the breakdown voltage of an insulating layer 5 may be avoided to minimize the defective shortcircuit between a gate electrode 4, a source electrode 7 and a drain electrode 8 thereby making the TFT possible in high yield having excellent reliability to be manufactured.



LEGAL STATUS

[Date of request for examination] 21.06.1993

[Date of sending the examiner's decision of rejection] 16.07.1996

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-120503

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl.⁵
H 01 L 29/784

識別記号 庁内整理番号
29/40 A 9055-4M
29/62 G 9055-4M
9056-4M

F I
H 01 L 29/ 78
3 1 1 G

技術表示箇所

審査請求 有 請求項の数 4(全 4 頁)

(21)出願番号 特願平4-267076

(22)出願日 平成4年(1992)10月6日

(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 田村 達彦
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 岩▲さき▼ 勝男
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 河村 敏雄
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 弁理士 小銀治 明 (外2名)
最終頁に続く

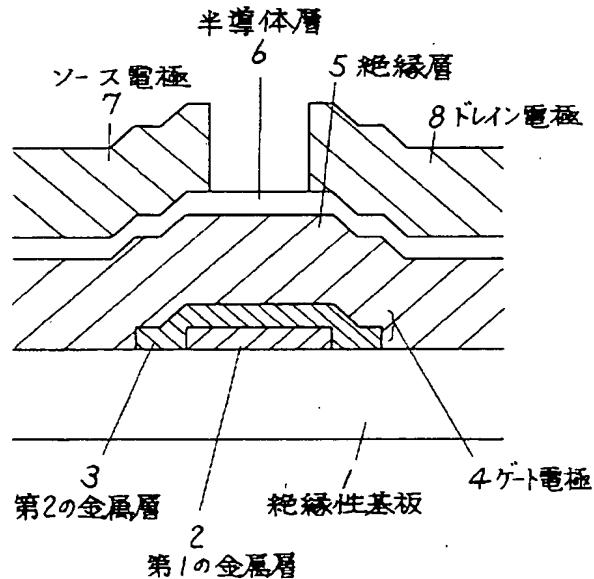
(54)【発明の名称】 薄膜トランジスタとその製造方法

(57)【要約】

【目的】 本発明は、液晶表示装置に応用されるゲート電極にAlを用いた薄膜トランジスタの構造に関するもので、比較的簡易な構成によって、歩留まりが高く、信頼性に優れた薄膜トランジスタを提供することを目的とする。

【構成】 TFTのゲート電極の構造に関して、Alから成る第一の金属層をAlより高い融点を有する第二の金属層によって完全に被覆するように形成するものである。

【効果】 TFTの製造工程中での熱処理によるAlのヒロックなどの変形の発生が完全に抑制されることから、変形の発生による絶縁層の耐圧の劣化に伴う層間絶縁不良が防止され、ゲート電極とソース電極及びドレイン電極間に短絡欠陥の発生が極めて少なくなり、歩留まりが高く、信頼性に優れたTFTを製造できることになる。



【特許請求の範囲】

【請求項1】絶縁性基板上に、ゲート電極と半導体層が絶縁層を介して対向する位置に設けた薄膜トランジスタであって、前記ゲート電極はアルミニウムからなる第一の金属層とアルミニウムより高い融点を有する金属からなる第二の金属層からなり、前記第二の金属層は前記第一の金属層を完全に被覆することを特徴とする薄膜トランジスタ。

【請求項2】第一の金属層であるアルミニウムはS i、W、T i及びT aを混合したアルミニウム合金であることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】第二の金属層がC r、W、T i及びT aであることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項4】絶縁性基板上に、ゲート電極と半導体層が絶縁層を介して対向する位置に設けられた薄膜トランジスタの製造方法であって、前記ゲート電極はアルミニウムからなる第一の金属層を所定の形状にパターン形成したのち、アルミニウムより高い融点を有する金属からなる第二の金属層を前記第一の金属層を完全に被覆するようにパターン形成することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置のスイッチング素子として応用される薄膜トランジスタとその製造方法に関するものである。

【0002】

【従来の技術】近年、薄膜トランジスタ（以下、TFTと呼ぶ）を応用した液晶表示装置（以下、TFT-LCDと呼ぶ）は大型化及び高精細度化が進んでいる。TFT-LCDは複数本のゲート線とこれらと直交するように設けられた複数のソース線の各交点にスイッチング素子としてTFTを備え、このTFTをON/OFFすることにより、ソース線から供給される信号を画素電極に供給することによって、画素の表示を制御している。

【0003】大型化に伴い配線長が長くなることから、配線抵抗が増大する。ゲート線には画素数に相当するTFTが接続されており、また各種の寄生容量も接続されている。そのため、ゲート線に供給されるゲート信号は配線抵抗と各種の寄生容量によって規定される時定数によって、信号遅延の問題が発生することから、所定の時間内に正常なスイッチング動作を完了することが困難な場合も発生する。

【0004】この問題を解決するために、ゲート線の低抵抗化が必要となり、固有電気抵抗の低い材料を用いたTFTが提案されている。ゲート線の低抵抗化のために固有電気抵抗の低いアルミニウム（A1）を用いた従来のTFTについて図面を参照しながら説明する（例えば、特開昭64-84668号公報）。

【0005】（図2）は従来のTFTの断面構造図である。ガラス基板等の絶縁性基板1の表面にA1から成る第一金属層2とその第一の金属層2の上に同一形状に形成されたクロムニウム（Cr）から成る第二の金属層3によってゲート電極4が設けられ、このゲート電極4を覆うごとく絶縁層5を設け、その上に半導体層6、ソース電極7及びドレイン電極8を順次設けた構造となっている。

【0006】

【発明が解決しようとする課題】このような従来のTFTの構造では、第一の金属層であるA1のパターンエッジ部が第二金属層によって完全に被覆されていないため、A1と絶縁層が直接接触する部分が残る構造となる。このような構造では、製造工程での熱処理によって、A1のパターンエッジ部からヒロックなどの変形が発生し、変形の発生部分の絶縁層の耐圧が劣化し、ゲート電極とソース電極及びドレイン電極間に短絡欠陥が発生することになる。

【0007】本発明はかかる点に鑑みてなされたものであり、TFTのゲート電極の構造に関して、A1から成る第一の金属層をA1より高い融点を有する第二の金属層によって完全に被覆することによって、A1のヒロックなどの変形の発生する部分を皆無にすることから、歩留まりが高く、信頼性に優れたTFTを提供することを目的としている。

【0008】

【課題を解決するための手段】本発明は上記問題を解決するため、TFTのゲート電極の構造に関して、A1から成る第一の金属層をA1より高い融点を有する第二の金属層によって完全に被覆するように形成するものである。

【0009】

【作用】本発明は上記した構造にすることによって、第一の金属層であるA1が高融点材料である第二の金属層で完全に被覆されるために、製造工程中での熱処理によるヒロックなどの変形の発生は剛性の高い第二の金属層によって完全に防止される。

【0010】また、第二の金属層は高融点材料であり、再結晶化温度が高く、自己拡散の活性化エネルギーも大きいために、熱処理によって第二の金属層からはヒロックなどの変形はほとんど発生しないことから、ゲート電極の全ての部分で熱処理によるヒロックなどの変形を防止することができる。

【0011】

【実施例】以下、具体例について詳細に述べる。

【0012】（図1）は本発明の実施例におけるTFTの断面構造図である。ガラス基板等の絶縁性基板1の表面にA1から成る第一金属層2を形成し、その第一の金属層2を完全に被覆するようにCrから成る第二の金属層3によってゲート電極4が設けられ、このゲート電極

4を覆うごとく絶縁層5を設け、その上に半導体層6、ソース電極7及びドレイン電極8を順次設けた構造となつてゐる。

【0013】以上のように本実施例によれば、ゲート電極4の第一の金属層2であるA1をA1よりも高い融点を有する第二の金属層3にて完全に被覆することにより、TFTの製造工程中の熱処理によるA1のヒロックなど変形の発生が抑制されることから、変形の発生による絶縁層の耐圧の劣化に伴う層間絶縁不良が防止されることから、ゲート電極4とソース電極7及びドレイン電極8間に短絡欠陥の発生が極めて少なくなり、TFTの歩留まりを大幅に改善することができる。

【0014】本実施例ではゲート電極の第二の金属層3にCrを用いたが、A1よりも高い融点を有する金属材料、例えはモリブデン(Mo)、チタン(Ti)、タンタル(Ta)でもよい。

【0015】また、絶縁層も本実施例では単層構造に限定されことなく、膜質の異なる絶縁層の多層構造のものも含むものである。尚、本実施例ではTFT単体に限定して説明したが、TFT-LCDなどのスイッチング素子としてのTFTについても含むものである。

【0016】

【発明の効果】以上述べてきたように、本発明によれば、比較的簡易な構成によって、TFTの製造工程中の熱処理によるA1のヒロックなどの変形の発生が抑制されることから、変形の発生による絶縁層の耐圧の劣化に伴う層間絶縁不良が防止され、ゲート電極とソース電極及びドレイン電極間に短絡欠陥の発生が極めて少なくなり、歩留まりが高く、信頼性に優れたTFTを製造で

きることになる。

【0017】また、第一の金属層と第二の金属層とは独立にパターン形成されることから、各金属層の段差部は同一位置に形成されないため、一つの段差の大きさとしては小さくなることから、絶縁層の段差被覆性が改善され、絶縁耐圧を向上させる効果があると共に、第一の金属層であるA1のパターンが製造工程中のトラブルによって欠損した場合でも、第二の金属層によってゲート電極のパターンは形成されることから、パターンの欠損や断線による欠陥に対しても歩留まりを改善することができる。

【0018】このようなTFTをTFT-LCDのスイッチング素子として用いれば、ゲート線の配線抵抗を大幅に低減でき、ゲート信号の遅延の問題を解消できことだけでなく、歩留まりが高く、信頼性に優れたTFT-LCDを実現することができる。

【図面の簡単な説明】

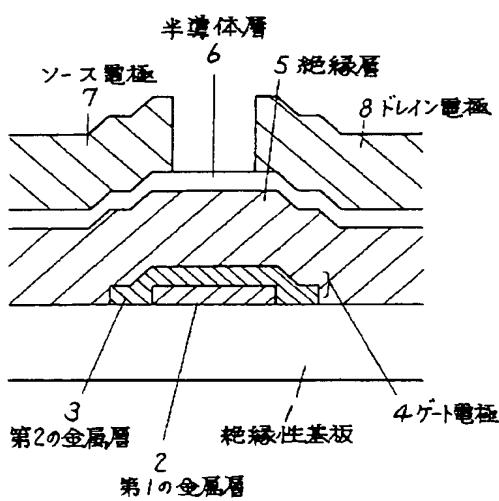
【図1】本発明の実施例におけるTFTの断面構造図

【図2】従来例を示すTFTの断面構造図

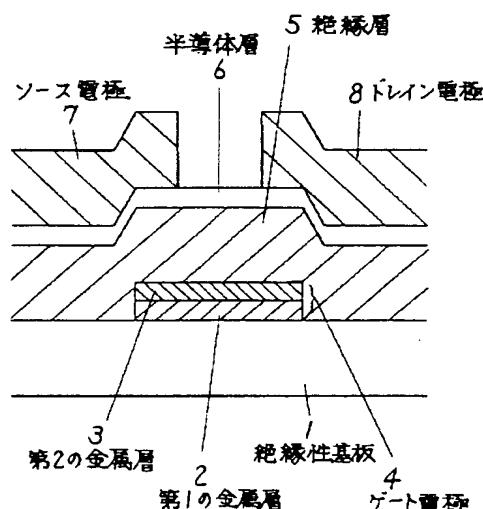
【符号の説明】

- 1 絶縁性基板
- 2 ゲート電極の第一の金属層
- 3 ゲート電極の第二の金属層
- 4 ゲート電極
- 5 絶縁層
- 6 半導体層
- 7 ソース電極
- 8 ドレイン電極

【図1】



【図2】



フロントページの続き

(72) 発明者 小閑 秀夫
大阪府門真市大字門真1006番地 松下電器
産業株式会社内